

# IDP432 Diseño Digital Avanzado

## Primavera 2011,

### Información Básica

<b>Profesor</b>	<b>Eric MacDonald,</b> Profesor Visitante de la Universidad de Tejas de El Paso
<b>EMAIL</b>	<a href="mailto:emac@utep.edu">emac@utep.edu</a>
<b>Curso Descripción Brev</b>	Teoría, principios y técnicas para diseñar, modelar, simular, probar de digital lógica de falla tolerante circuitos. Con base en Verilog, la lengua ser explorado con un series de laboratorios sobre diseño, simulación, síntesis, <i>timing</i> y implementación – lo más cerca posible de la industria silicio. Temas ser cubierto ( <b>detalles en la pagina segunda</b> ): <ul style="list-style-type: none"> <li>- Diseño con Verilog (Algoritmo a chip o FPGA)</li> <li>- Probar de sistemas digitales</li> <li>- Tolerancia de <i>Fallas</i></li> <li>- Diseño para bajo poder</li> <li>- Introducción de diseño circuito</li> <li>- Integridad de señales y poder</li> <li>- ESD – pruebas, técnicas de diseño para evitar</li> </ul> .
<b>Libros</b>	<b>Ningún requisito.</b> <b>Dos recomendado:</b> <u>Digital Systems Testing and Testable Design</u> por Miron Abramovici – dos capítulos ser provisto. Verilog HDL: A guide to Digital Design and Synthesis by Samir Palnitkar Notas de clase estar enviado 24 horas antes de la clase
<b>Opcional Software</b>	nada – primeramente vamos a usar Veriwell (Simulator), GTK Waves (Viewer) and Xilinx ISE Webpack (Síntesis, <i>Timing</i> y implementación por FPGA). Todos son gratis. Por la metodología ASIC (labs 6, 7, and 8), vamos a usar Synopsys por Síntesis, <i>Timing</i> , Layout y <i>Testability</i> .
<b>Pre-requisitos</b>	<b>Pregrado diseño de lógica .</b>
<b>Web pagina</b>	<a href="http://ece.utep.edu/courses/web5375">http://ece.utep.edu/courses/web5375</a>

### Valoración

Elemento	Pesa	Comment
Tres Exámenes	20% cada	
Final Examen	Opcional	Exhaustivo – para reponer cualquier examen
Laboratorios	40%	Final proyecto va a ser 20%, otros labs 20%

<b>8-Aug</b>	Intro - FGPA / ASIC / Full Custom metodologías Verilog HDL – Introducción – Simulación y Xilinx	
11-Aug	Implementación	
<b>15-Aug</b>	<b>Asunción</b>	
18-Aug	Verilog HDL	
<b>22-Aug</b>	Verilog HDL	Lab 1 - Counter - sim and FPGA
25-Aug	Verilog HDL - Static Timing with Synopsys	
<b>29-Aug</b>	Verilog HDL - Asynchronous Clock Boundaries	Lab 2 - Advanced Counter in FPGA methodology
1-Sep	revista por examen 1	
<b>5-Sep</b>	Examen 1	Lab 3 - State machine
8-Sep	Fault Modeling – Instrucciones por laboratorio 5	
<b>12-Sep</b>	Fault Modeling	Lab 4 - Reflex tester
15-Sep	<b>Fulbright meeting</b>	
<b>19-Sep</b>	<b>Día de Ejército</b> <b>Viajando – MIT LL para IEEE Subthreshold</b>	
<b>21-27-Sep</b>	<b>Microelectronics Congreso</b>	
29-Sep	Fault Simulation	Lab 5 - Processor - fecha límite 1
<b>3-Oct</b>	Design for Test	
6-Oct	Automatic Test Pattern Generation	
<b>10-Oct</b>	<b>Día de Columbus</b>	
13-Oct	Error Correction Coding	Lab 5 - Processor - fecha límite 2
<b>17-Oct</b>	JTAG	
20-Oct	Memory and Logic Built-in Self Test	
<b>24-Oct</b>	Revista por examen 2	Lab 5 - Processor - fecha límite 3
27-Oct	Examen 2	
<b>31-Oct</b>	<b>Día de reformación</b>	
3-Nov	Circuit Design - Standard Cell Libraries	
<b>7-Nov</b>	Circuit Design - Analog Design	Lab 6 - Processor Synthesis and Test with DC
10-Nov	Circuit Design - Electro Static Discharge	
<b>14-Nov</b>	Circuit Design - EMI - Signal and Power Integrity	Lab 7 - Processor ATPG with Tetramax
17-Nov	Diseño para baja potencia	
<b>21-Nov</b>	revista por examen 3	Lab 8 - Processor ASIC with Synopsys Astro
24-Nov	Examen 3	
<b>28-Nov</b>	Examen exhaustivo	