

IDP432 Diseño Digital Avanzado

Primavera 2011,

Información Básica

| | |
|-------------------------------------|---|
| Profesor | Eric MacDonald, Profesor Visitante de la Universidad de Tejas de El Paso |
| EMAIL | emac@utep.edu |
| Curso Descripción Brevemente | Teoría, principios y técnicas para diseñar, modelar, simular, probar de digital lógica de falla tolerante circuitos. Con base en Verilog, la lengua ser explorado con un series de laboratorios sobre diseño, simulación, síntesis, <i>timing</i> y implementación – lo más cerca posible de la industria silicio. Temas ser cubierto (detalles en la pagina segunda): <ul style="list-style-type: none"> - Diseño con Verilog (Algoritmo a chip o FPGA) - Probar de sistemas digitales - Tolerancia de <i>Fallas</i> - Diseño para bajo poder - Introducción de diseño circuito - Integridad de señales y poder - ESD – pruebas, técnicas de diseño para evitar . |
| Libros | Ningún requisito. Dos recomendado: <u>Digital Systems Testing and Testable Design</u> por Miron Abramovici – dos capítulos ser provisto. Verilog HDL: A guide to Digital Design and Synthesis by Samir Palnitkar Notas de clase estar enviado 24 horas antes de la clase |
| Opcional Software | nada – primeramente vamos a usar Veriwell (Simulator), GTK Waves (Viewer) and Xilinx ISE Webpack (Síntesis, <i>Timing</i> y implementación por FPGA). Todos son gratis. Por la metodología ASIC (labs 6, 7, and 8), vamos a usar Synopsys por Síntesis, <i>Timing</i> , Layout y <i>Testability</i> . |
| Pre-requisitos | Pregrado diseño de lógica . |
| Web pagina | http://ece.utep.edu/courses/web5375 |

Valoración

| Elemento | Pesa | Comment |
|---------------|----------|---|
| Tres Exámenes | 20% cada | |
| Final Examen | Opcional | Exhaustivo – para reponer cualquier examen |
| Laboratorios | 40% | Final proyecto va a ser 20%, otros labs 20% |

| | | |
|------------------|--|--|
| 8-Aug | Intro - FGPA / ASIC / Full Custom metodologías Verilog HDL – Introducción – Simulación y Xilinx | |
| 11-Aug | Implementación | |
| 15-Aug | Asunción | |
| 18-Aug | Verilog HDL | |
| 22-Aug | Verilog HDL | Lab 1 - Counter - sim and FPGA |
| 25-Aug | Verilog HDL - Static Timing with Synopsys | |
| 29-Aug | Verilog HDL - Asynchronous Clock Boundaries | Lab 2 - Advanced Counter in FPGA methodology |
| 1-Sep | revista por examen 1 | |
| 5-Sep | Examen 1 | Lab 3 - State machine |
| 8-Sep | Fault Modeling – Instrucciones por laboratorio 5 | |
| 12-Sep | Fault Modeling | Lab 4 - Reflex tester |
| 15-Sep | Fulbright meeting | |
| 19-Sep | Día de Ejército Viajando – MIT LL para IEEE Subthreshold | |
| 21-27-Sep | Microelectronics Congreso | |
| 29-Sep | Fault Simulation | Lab 5 - Processor - fecha límite 1 |
| 3-Oct | Design for Test | |
| 6-Oct | Automatic Test Pattern Generation | |
| 10-Oct | Día de Columbus | |
| 13-Oct | Error Correction Coding | Lab 5 - Processor - fecha límite 2 |
| 17-Oct | JTAG | |
| 20-Oct | Memory and Logic Built-in Self Test | |
| 24-Oct | Revista por examen 2 | Lab 5 - Processor - fecha límite 3 |
| 27-Oct | Examen 2 | |
| 31-Oct | Día de reformación | |
| 3-Nov | Circuit Design - Standard Cell Libraries | |
| 7-Nov | Circuit Design - Analog Design | Lab 6 - Processor Synthesis and Test with DC |
| 10-Nov | Circuit Design - Electro Static Discharge | |
| 14-Nov | Circuit Design - EMI - Signal and Power Integrity | Lab 7 - Processor ATPG with Tetramax |
| 17-Nov | Diseño para baja potencia | |
| 21-Nov | revista por examen 3 | Lab 8 - Processor ASIC with Synopsys Astro |
| 24-Nov | Examen 3 | |
| 28-Nov | Examen exhaustivo | |