

Tabla descripción proyecto

Nombre del Proyecto	Vga-controller
Integrantes del equipo	Erwin Oñate, Fabian Rubilar
Descripción general	El módulo desarrollado consiste en un controlador de monitores vga. Permite que un microprocesador o fpga pueda desplegar información en un monitor vga sin necesidad de generar las señales de sincronismo y de blanking necesarias para el funcionamiento del monitor vga. Como entrada recibe un bus de 6 bits correspondientes a la codificación de un caracter alfanumérico, y como salida tiene las señales que utiliza el monitor vga, más tres señales de sincronismo que envía hacia el microcontrolador o fpga para saber en qué momento debe enviar determinada letra o número. La matriz es fija y es de 20 x 15 caracteres a 800 x 600.
Dificultades	El correcto timing de las señales de control. El reloj debe funcionar a exactos 25[Mhz] para asegurarse el correcto funcionamiento del chip. El ajuste a nivel de la lógica a utilizar fue crítico debido a las altas frecuencias a utilizar: un registro extra, o fuera de tamaño, daba lugar a carreras críticas imposibles de solucionar.
Resultados	Todos los chips enviados de vuelta funcionaron perfectamente. El chip fue probado correctamente. Se pudieron replicar exactamente las mismas pruebas realizadas sobre el diseño preliminar en FPGA.
Posibles mejoras	Generar un chip tal que acepte como señales de entrada el bus de datos más una posición XY de la letra a escribir, posiblemente el envío debería realizarse serialmente. No se realizó en este chip debido a limitaciones del hardware de prueba y del espacio disponible dentro del ring pad utilizado.
Algún dato que Ud. quiera mencionar	Nuestro mayor miedo como grupo era el de encontrar que las señales resultantes de sincronismo no fuesen como nosotros las diseñamos. Sin embargo, el desarrollo minucioso y las pruebas realizadas entregan exactamente los mismos resultados obtenidos en una fpga. Esto quiere decir que las herramientas para la prueba de prototipos son altamente poderosas, y entregan excelentes resultados en términos de las pruebas y diseños de sistemas ASIC.